

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-057382

(43)Date of publication of application : 27.02.2001

(51)Int.Cl.

H01L 21/76

H01L 21/316

(21)Application number : 11-231287 (71)Applicant : SONY CORP

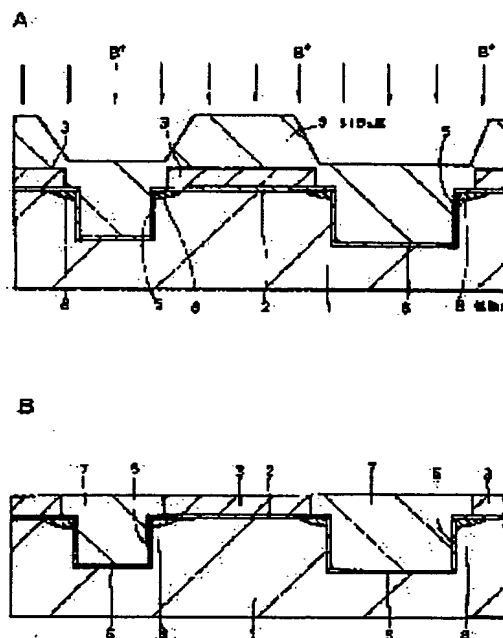
(22)Date of filing : 18.08.1999 (72)Inventor : GOCHO TETSUO

(54) METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To enable a semiconductor device to be improved in characteristics and reliability by a method wherein the surface of the semiconductor substrate is set nearly uniform in impurity concentration after impurities for controlling a threshold voltage are introduced.

SOLUTION: A pad oxide film 2 and an SiN film 3 are sequentially formed on an Si substrate 1. An opening is provided in the SiN film 3, and a trench 5 is formed on the Si substrate 1. The SiN film 3 is selectively etched through a plasma etching method where CF₄ gas and O₂ gas are used, by which the film 3 is made to recede from the edge of the trench 5. An SiO₂ film 7 is formed so as to be filled into the trench 5 through an HDP-CVD(high density plasma- chemical vapor deposition) method. Impurity ions are implanted into the Si substrate 1 through the thin part of the SiO₂ film 7 in a region adjacent to the trench 5 to form a diffusion layer 8. The SiO₂ film 7 is removed from the part except the opening of the SiN film 3 and the inside of the trench 5, and a trench element isolation region is formed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-57382
(P2001-57382A)

(43) 公開日 平成13年2月27日 (2001.2.27)

(51) Int.Cl.⁷

識別記号

F I

テ-マ-ト* (参考)

H 0 1 L 21/76
21/316

H 0 1 L 21/76
21/316

N 5 F 0 3 2
X 5 F 0 5 8

審査請求 未請求 請求項の数26 O L (全 15 頁)

(21) 出願番号 特願平11-231287

(22) 出願日 平成11年8月18日 (1999.8.18)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 牛藤 哲雄

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100082762

弁理士 杉浦 正知

最終頁に続く

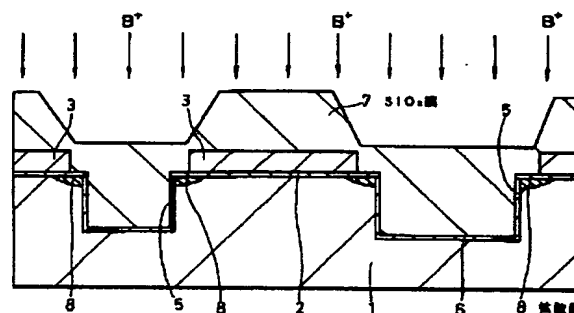
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

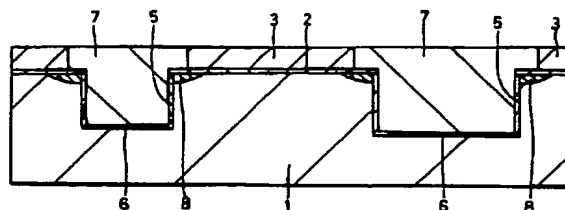
【課題】 しきい値電圧調整用の不純物の導入後における半導体基板表面の不純物濃度をほぼ均一に保ち、半導体装置の特性と信頼性とを向上させる。

【解決手段】 Si基板1上にパッド酸化膜2、SiN膜3を順次形成する。SiN膜3に開口を形成し、Si基板1にトレンチ5を形成する。CF₄ガスとO₂ガスとを用いたプラズマエッチング法によりSiN膜3を選択的にエッチングし、トレンチ5の外側に後退させる。HDP-CVD法によりトレンチ5の内部に埋め込むようにSiO₂膜7を形成する。SiO₂膜7の薄い部分を介してSi基板1に不純物をイオン注入して、Si基板1におけるトレンチ5の近傍の領域に不純物を導入し拡散層8を形成する。SiN膜3の開口およびトレンチ5の内部以外の部分をSiO₂膜7を除去し、溝素子分離領域を形成する。

A



B



【特許請求の範囲】

【請求項 1】 半導体基板に溝を形成する工程と、
上記溝が埋め込まれ、少なくとも上記溝の近傍の領域における上記半導体基板表面が覆われる、絶縁膜を形成する工程と、
上記溝の内部以外の部分の上記絶縁膜を除去する工程とから溝素子分離領域を形成するようにした半導体装置の製造方法であって、
上記半導体基板における上記溝の近傍の領域に不純物を導入するようにしたことを特徴とする半導体装置の製造方法。

【請求項 2】 上記絶縁膜をスパッタエッチングと成膜との同時競合反応により形成し、上記絶縁膜を介して、上記半導体基板における上記溝の近傍の領域に上記不純物を導入するようにしたことを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】 上記半導体基板表面の上記溝の近傍の領域を覆う上記絶縁膜を形成した後、上記半導体基板表面に対して斜めの方向から不純物をイオン注入するようにしたことを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 4】 少なくとも上記溝の内部にイオン注入のストッパーを形成し、上記ストッパーをマスクとして上記半導体基板に対してイオン注入を行うようにしたことを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 5】 半導体基板上に第 1 の絶縁膜を形成する工程と、
上記第 1 の絶縁膜に開口を形成する工程と、
上記開口を通じて上記半導体基板に溝を形成する工程と、
上記第 1 の絶縁膜の上記開口を上記溝の領域より大きくする工程と、
上記溝の内部および上記開口の内部に埋め込むようにして第 2 の絶縁膜を形成する工程と、
上記第 2 の絶縁膜を介して不純物をイオン注入する工程と、
上記溝の内部および上記開口の内部以外の部分の上記第 2 の絶縁膜を除去する工程と、
上記第 1 の絶縁膜を除去する工程と、
上記溝の内部以外の部分の上記第 2 の絶縁膜を除去する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 6】 上記第 2 の絶縁膜を、スパッタエッチングと成膜との同時競合反応により上記溝に埋め込むように形成することを特徴とする請求項 5 記載の半導体装置の製造方法。

【請求項 7】 上記半導体基板上に緩衝膜を形成した後、上記緩衝膜上に上記第 1 の絶縁膜を形成するようにしたことを特徴とする請求項 5 記載の半導体装置の製造方法。

【請求項 8】 上記第 1 の絶縁膜が上記半導体基板および／または上記緩衝膜よりエッチング速度の速い膜を少なくとも一層有することを特徴とする請求項 7 記載の半導体装置の製造方法。

【請求項 9】 上記半導体基板がシリコン基板であり、上記第 1 の絶縁膜が窒化シリコン膜であり、上記緩衝膜が酸化シリコン膜であることを特徴とする請求項 8 記載の半導体装置の製造方法。

【請求項 10】 上記半導体基板に上記溝を形成する工程の後、上記溝の内壁に絶縁膜を形成する工程を有することを特徴とする請求項 5 記載の半導体装置の製造方法。

【請求項 11】 半導体基板上に第 1 の絶縁膜を形成する工程と、
上記第 1 の絶縁膜に開口を形成する工程と、
上記開口を通じて上記半導体基板に溝を形成する工程と、
上記第 1 の絶縁膜の上記開口を上記溝の領域より大きくする工程と、
上記溝の内部および上記開口の内部に埋め込むようにして第 2 の絶縁膜を形成する工程と、
上記溝の内部および上記開口の内部以外の部分の上記第 2 の絶縁膜を除去する工程と、
上記第 1 の絶縁膜を除去する工程と、
上記半導体基板表面に対して斜めの方向から不純物をイオン注入する工程と、
上記溝の内部以外の部分の上記第 2 の絶縁膜を除去する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 12】 上記第 1 の絶縁膜を除去した後、上記半導体基板の表面に犠牲酸化膜を形成し、上記犠牲酸化膜を介して上記斜め方向からのイオン注入を行うことにより、上記犠牲酸化膜の端の下部における上記半導体基板上に上記不純物を導入するようにしたことを特徴とする請求項 11 記載の半導体装置の製造方法。

【請求項 13】 上記半導体基板上に緩衝膜を形成した後、上記緩衝膜上に上記第 1 の絶縁膜を形成するようにしたことを特徴とする請求項 11 記載の半導体装置の製造方法。

【請求項 14】 上記第 1 の絶縁膜が上記半導体基板および／または上記緩衝膜よりエッチング速度の速い膜を少なくとも一層有することを特徴とする請求項 13 記載の半導体装置の製造方法。

【請求項 15】 上記半導体基板がシリコン基板であり、上記第 1 の絶縁膜が窒化シリコン膜であり、上記緩衝膜が酸化シリコン膜であることを特徴とする請求項 14 記載の半導体装置の製造方法。

【請求項 16】 上記半導体基板上に上記溝を形成する工程の後、上記溝の内壁に絶縁膜を形成する工程を有することを特徴とする請求項 11 記載の半導体装置の製造方

法。

【請求項17】 上記第2の絶縁膜を、スパッタエッチングと成膜との同時競合反応により上記溝に埋め込むように形成することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項18】 上記斜め方向が上記半導体基板表面に対して、 30° 以上 50° 以下の角度であることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項19】 上記半導体基板に対する上記斜めの方向からのイオン注入を、上記半導体基板表面の中心に対して相対的に回転させるようにして行うことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項20】 半導体基板上に第1の絶縁膜を形成する工程と、
上記第1の絶縁膜に開口を形成する工程と、
上記開口を通じて上記半導体基板に溝を形成する工程と、
上記第1の絶縁膜の上記開口を上記溝の領域より大きくする工程と、
上記溝の内部に選択的にイオン注入のストッパーを形成する工程と、
上記第1の絶縁膜および上記ストッパーをマスクとしてイオン注入することにより、上記半導体基板に不純物を導入する工程と、
上記ストッパーを除去する工程と、
上記溝の内部および上記開口の内部に埋め込むようにして第2の絶縁膜を形成する工程と、
上記溝の内部および上記開口の内部以外の部分の上記第2の絶縁膜を除去する工程と、
上記第1の絶縁膜を除去する工程と、
上記溝の内部以外の部分の上記第2の絶縁膜を除去する工程とを有することを特徴とする半導体装置の製造方法。

【請求項21】 上記第1の絶縁膜の上記開口を上記溝の領域より大きくする工程の後、全面に塗布膜を形成し、上記塗布膜をエッチバックすることにより、上記溝の内部に選択的に上記イオン注入のストッパーを形成するようにしたことを特徴とする請求項20記載の半導体装置の製造方法。

【請求項22】 上記半導体基板上に緩衝膜を形成した後、上記緩衝膜上に上記第1の絶縁膜を形成するようにしたことを特徴とする請求項20記載の半導体装置の製造方法。

【請求項23】 上記第1の絶縁膜が上記半導体基板および/または上記緩衝膜よりエッチング速度の速い膜を少なくとも一層有することを特徴とする請求項22記載の半導体装置の製造方法。

【請求項24】 上記半導体基板がシリコン基板であり、上記第1の絶縁膜が窒化シリコン膜であり、上記緩衝膜が酸化シリコン膜であることを特徴とする請求項2

3記載の半導体装置の製造方法。

【請求項25】 上記半導体基板に上記溝を形成する工程の後、上記溝の内壁に絶縁膜を形成する工程を有することを特徴とする請求項20記載の半導体装置の製造方法。

【請求項26】 上記第2の絶縁膜を、スパッタエッチングと成膜との同時競合反応により上記溝に埋め込むように形成することを特徴とする請求項20記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体装置の製造方法に関し、特に、STI技術を用いて形成される溝素子分離領域を有する半導体基板に対するしきい値電圧調整用のイオン注入に適用して好適なものである。

【0002】

【従来の技術】半導体集積回路の微細化や高集積化が進むにつれ、アクティブ領域を確保しつつ素子分離能力も確保する素子分離形成技術が重要となってきた。

【0003】従来、この素子分離技術として、シリコン(Si)基板の上部に溝を形成し、この溝に埋め込むようにして酸化シリコン(SiO_2)膜を形成し、溝の内部以外の部分の SiO_2 膜を除去することによって素子分離領域を形成する、いわゆるSTI(シャロートレンチアイソレーション)技術が用いられている。

【0004】このSTI技術を用いて形成された素子分離領域は、LOCOS法を用いて形成された素子分離領域のようなバズビークを有しない。そのため、STI技術により素子分離領域を形成することによって、アクティブ領域の確保と素子分離能力の確保とを容易に両立させることができる。ここで、STI技術を用いた素子分離領域の形成方法について、以下に具体的に説明する。

【0005】すなわち、図9Aに示すように、従来のSTI技術を用いた溝素子分離領域の形成においては、まず、Si基板101上に SiO_2 膜からなるパッド酸化膜102を形成する。次に、パッド酸化膜102上に窒化シリコン(SiN)膜103を形成する。

【0006】次に、図9Bに示すように、リソグラフィ工程によりSiN膜103上に、溝素子分離領域の形成領域に開口を有するレジストパターン(図示せず)を形成した後、このレジストパターンをマスクとして、RIE法などの異方性エッチング法により、SiN膜103および SiO_2 膜102をエッチングする。これにより、溝素子分離領域の形成領域に開口104が形成される。その後、レジストパターンを除去する。

【0007】次に、図9Cに示すように、SiN膜103および SiO_2 膜102をマスクとしてSi基板101をエッチングすることにより、溝105を形成する。次に、熱酸化法により溝105の底面および側面を酸化

することによって SiO_2 膜（図示せず）を形成する。

【0008】次に、図10Aに示すように、CVD法により Si 基板101上の全面に SiO_2 膜106を形成する。

【0009】次に、図10Bに示すように、化学機械研磨（CMP）法により SiN 膜103上の SiO_2 膜106を研磨することによって、開口104および溝105の内部以外の部分の SiO_2 膜106を除去する。

【0010】次に、図10Cに示すように、等方性エッチング法により SiN 膜103を除去する。次に、フッ酸（HF）を用いたエッチングを行うことによりパッド酸化膜102を除去するとともに、犠牲酸化膜形成の前処理を行う。次に、熱酸化法により Si 基板101表面に犠牲酸化膜107を形成する。その後、リソグラフィ工程、エッチング工程、イオン注入の工程およびレジスト除去工程を順次繰り返し行うことにより、ウェル領域などの所定の拡散層（図示せず）を形成する。その後、犠牲酸化膜107を除去する。

【0011】次に、図11Aに示すように、熱酸化法により、 Si 基板101表面にゲート酸化膜108を形成する。次に、 Si 基板101上の所定部分にゲート酸化膜108を介してゲート電極109を形成する。

【0012】しかしながら、上述のように、パッド酸化膜102の除去や犠牲酸化膜107の前処理のフッ酸処理により、溝105に埋め込まれた SiO_2 膜106が後退してしまう。特に、溝105の端縁部の近傍における SiO_2 膜106の後退は大きく、そこに急峻な段差部110が形成される。そして、ゲート電極109を形成する段階において、段差部110に残渣111が残ってしまうという問題があった。このように段差部110に残渣111が残ってしまうと、ゲート電極109間の短絡（ショート）をもたらすという問題が生じる。

【0013】そこで、この段差部110に残された残渣111を除去するために、ゲート電極109の形成の際のドライエッチングにおいて、オーバーエッチングを行う方法が考えられる。ところが、ゲート酸化膜108がこのオーバーエッチングに耐えられず、図11Bに示すように、ゲート酸化膜108を突き抜けて Si 基板101に穴112が開いてしまう。

【0014】このようにゲート酸化膜108および Si 基板101に穴が開いてしまうと、所望のトランジスタ特性が得られず、歩留まりの低下や信頼性の低下を招いてしまう。

【0015】そこで、この問題を回避するために、溝素子分離領域の形成の際、 SiO_2 膜を溝の内部に埋め込む前に、後のフッ酸処理において減少する酸化膜の膜厚の分だけ SiN 膜を横方向に後退させておく方法が提案されている（特開平11-26569号）。この溝素子分離領域の形成方法について以下に具体的に説明する。

【0016】すなわち、図12Aに示すように、まず、

Si 基板201上に、熱酸化法により膜厚が10nm程度の SiO_2 からなるパッド酸化膜202を形成した後、CVD法により膜厚が200nm程度の SiN 膜203を形成する。

【0017】次に、図12Bに示すように、 SiN 膜203上にレジストパターン（図示せず）を形成した後、このレジストパターンをマスクとして、異方性のドライエッチング法により SiN 膜203をエッチングする。これにより、シリコンN膜203の部分に開口204が形成される。次に、レジストパターンを除去した後、ウェットエッチング法による表面洗浄を行う。

【0018】次に、図12Cに示すように、TEOSガスをを用いたCVD法により膜厚が200nmの SiO_2 膜205を形成する。

【0019】次に、図13Aに示すように、 SiO_2 膜205を全面エッチバックすることにより、開口204の内側面に SiO_2 からなるサイドウォールスペーサ206を形成する。

【0020】次に、図13Bに示すように、 SiN 膜203およびサイドウォールスペーサ206をマスクとして、 Si 基板201をエッチングすることにより、 Si 基板201の上部に溝207を形成する。その後、高温酸化を行う。

【0021】次に、図13Cに示すように、CVD法により埋め込み性の良い SiO_2 膜208を溝207の内部に埋め込むようにして Si 基板201上に形成する。その後、高温熱処理を行う。

【0022】次に、図14Aに示すように、CMP法により SiN 膜203をストッパーとして SiO_2 膜208を研磨することにより、 SiN 膜203上の SiO_2 膜208を除去するとともに、表面平坦化を行う。

【0023】次に、図14Bに示すように、ホットリン酸（ H_3PO_4 ）を用いたウェットエッチング法により SiN 膜203を除去した後、ウェットエッチング法によりパッド酸化膜202を除去する。このとき、 Si 基板201の上面に突出した SiO_2 膜208およびサイドウォールスペーサ206においても、主にその角部がエッチングされて、 Si 基板101上に露出している部分が滑らかになる。

【0024】その後、 SiO_2 膜からなる犠牲酸化膜（図示せず）を形成した後、ウェル領域を形成したり、しきい値電圧を調整するために、 Si 基板201に不純物をイオン注入する。

【0025】次に、図14Cに示すように、犠牲酸化膜を除去した後、熱酸化法により Si 基板201表面にゲート酸化膜209を形成する。なお、この犠牲酸化膜の除去の際に、 Si 基板201の上面に突出している SiO_2 膜208およびサイドウォールスペーサ206の部分もエッチングされる。このとき、 SiN 膜203の膜厚などを、ゲート酸化膜209を形成した段階で SiO_2

2 膜208、ゲート酸化膜209の表面が平坦になるように選択しておくことによって、表面が平坦化される。以上により、溝素子分離領域が形成される。

【0026】以上のようにして、形成された溝素子分離領域においては、溝207の端縁部の近傍におけるSiO₂膜208に段差部が形成されないという利点がある。

【0027】

【発明が解決しようとする課題】しかしながら、上述のようにして溝素子分離領域を形成する方法に関して、本発明者が種々検討を行った結果、本発明者は、トランジスタの製造プロセスに上述の溝素子分離領域の形成方法を採用することによって、次のような問題が生じることを知見するに至った。

【0028】すなわち、図15に示すように、上述の溝素子分離領域の形成工程の途中において、SiN膜203を除去しパッド酸化膜202を除去した後に、犠牲酸化膜210を形成する。その後、ウェル領域の形成、チャネルストップの形成、あるいはしきい値電圧の調整のために不純物のイオン注入を行う。これにより、拡散層211が形成される。このとき、犠牲酸化膜210より溝素子分離領域の縁の近傍に残されたSiO₂膜208の膜厚が大きい場合、比較的低いエネルギーで行われるしきい値電圧調整用のイオン注入を行うと、溝素子分離領域の端部の縁の上部における不純物濃度が、この縁の上部以外の部分と比較して異なる濃度になってしまい、製造されるトランジスタのしきい値電圧 V_{th} が設計通りにならないという問題が生じる。

【0029】そして、このようにしきい値電圧 V_{th} が設計通りにならないと、トランジスタのゲートが常にオープン状態となりオフできなくなったり、ゲートに所定の電圧を印加してもゲートがオープンできなくなるという問題が新たに生じてしまう。

【0030】したがって、この発明の目的は、しきい値電圧調整用の不純物の導入後における半導体基板表面の不純物濃度をほぼ均一に保ち、所望の特性を有する半導体装置を製造することができ、製造される半導体装置の特性、およびその信頼性を向上させることができる半導体装置の製造方法を提供することにある。

【0031】

【課題を解決するための手段】上記目的を達成するために、この発明の第1の発明は、半導体基板に溝を形成する工程と、溝が埋め込まれ、少なくとも溝の近傍の領域における半導体基板表面が覆われる、絶縁膜を形成する工程と、溝の内部以外の部分の絶縁膜を除去する工程とから溝素子分離領域を形成するようにした半導体装置の製造方法であって、半導体基板における溝の近傍の領域に不純物を導入するようにしたことを特徴とするものである。

【0032】この第1の発明において、典型的には、溝

の近傍の領域における半導体基板上の絶縁膜を、他の領域における絶縁膜に比して薄くするために、絶縁膜をスパッタエッチングと成膜との同時競合反応により形成し、絶縁膜の薄い部分を介して、半導体基板表面の溝の近傍の領域に選択的に不純物を導入する。また、このスパッタエッチングと成膜との同時競合反応を用いた成膜方法としては、典型的には、高密度プラズマ化学気相成長法が採用され、高密度プラズマの生成としては、電子サイクロトロン共鳴(ECR)や誘導結合プラズマ(ICP)などが用いられる。

【0033】この第1の発明において、半導体基板にイオン注入法により不純物を導入する際に、絶縁膜に覆われた溝の近傍の領域における半導体基板にも不純物を効率よく導入するために、溝の近傍の領域における半導体基板表面を覆う絶縁膜を形成した後、半導体基板表面に対して斜め方向から不純物をイオン注入する。

【0034】この第1の発明において、半導体基板表面の溝の近傍の領域に選択的に不純物を導入するために、好適には、少なくとも溝の内部にイオン注入のストッパーを形成し、このストッパーをマスクとして半導体基板に不純物をイオン注入する。

【0035】この発明の第2の発明は、半導体基板上に第1の絶縁膜を形成する工程と、第1の絶縁膜に開口を形成する工程と、開口を通じて半導体基板に溝を形成する工程と、第1の絶縁膜の開口を溝の領域より大きくする工程と、溝の内部および開口の内部に埋め込むようにして第2の絶縁膜を形成する工程と、第2の絶縁膜を介して不純物をイオン注入する工程と、溝の内部および開口の内部以外の部分の第2の絶縁膜を除去する工程と、第1の絶縁膜を除去する工程と、溝の内部以外の部分の第2の絶縁膜を除去する工程とを有することを特徴とする半導体装置の製造方法である。

【0036】この発明の第3の発明は、半導体基板上に第1の絶縁膜を形成する工程と、第1の絶縁膜に開口を形成する工程と、開口を通じて半導体基板に溝を形成する工程と、第1の絶縁膜の開口を溝の領域より大きくする工程と、溝の内部および開口の内部に埋め込むようにして第2の絶縁膜を形成する工程と、溝の内部および開口の内部以外の部分の第2の絶縁膜を除去する工程と、第1の絶縁膜を除去する工程と、半導体基板表面に対して斜め方向から不純物をイオン注入する工程と、溝の内部以外の部分の第2の絶縁膜を除去する工程とを有することを特徴とする半導体装置の製造方法である。

【0037】この第3の発明において、典型的には、第1の絶縁膜を除去した後、半導体基板の表面に犠牲酸化膜を形成し、この犠牲酸化膜を介して斜め方向からのイオン注入を行うことにより、犠牲酸化膜の端の下部における半導体基板に不純物を導入するようにする。また、この第3の発明において、好適には、半導体基板表面に平行な方向を0°としたときに、斜め方向の角度は30

°以上50°以下から選択される。そして、この第3の発明において、半導体基板表面の全ての溝の近傍の領域に不純物を導入するために、半導体基板に対する斜めの方向からのイオン注入を、半導体基板表面の中心に対して相対的に回転させるようにして行う。

【0038】この発明の第4の発明は、半導体基板上に第1の絶縁膜を形成する工程と、第1の絶縁膜に開口を形成する工程と、開口を通じて半導体基板に溝を形成する工程と、第1の絶縁膜の開口を溝の領域より大きくする工程と、溝の内部に選択的にイオン注入のストッパーを形成する工程と、第1の絶縁膜およびストッパーをマスクとしてイオン注入することにより、半導体基板に不純物を導入する工程と、ストッパーを除去する工程と、溝の内部および開口の内部に埋め込むようにして第2の絶縁膜を形成する工程と、溝の内部および開口の内部以外の部分の第2の絶縁膜を除去する工程と、第1の絶縁膜を除去する工程と、溝の内部以外の部分の第2の絶縁膜を除去する工程とを有することを特徴とする半導体装置の製造方法である。

【0039】この第4の発明において、典型的には、第1の絶縁膜の開口を溝の領域より大きくする工程の後、全面に塗布膜を形成し、この塗布膜をエッチバックすることにより、少なくとも溝の内部に選択的にイオン注入のストッパーを形成する。

【0040】これらの第2、第3および第4の発明において、典型的には、半導体基板上に緩衝膜を形成した後、緩衝膜上に第1の絶縁膜を形成する。また、これらの第2、第3および第4の発明において、第1の絶縁膜に溝の領域より大きい開口を形成するために、好適には、第1の絶縁膜は半導体基板および／または緩衝膜よりエッチング速度の速い膜を少なくとも一層有し、具体的には、半導体基板はシリコン基板、第1の絶縁膜は窒化シリコン膜、緩衝膜は酸化シリコン膜とする。

【0041】これらの第2、第3および第4の発明において、典型的には、半導体基板に溝を形成する工程の後、溝の内壁に絶縁膜を形成する工程を有する。また、これらの第2、第3および第4の発明において、具体的には、溝の内壁に形成される絶縁膜は、酸化シリコン膜である。

【0042】これらの第2、第3および第4の発明において、典型的には、第2の絶縁膜をスパッタエッチングと成膜との同時競合反応により形成する。そして、この同時競合反応による第2の絶縁膜の形成においては、典型的には、半導体基板を載置するサセプタ側にバイアスを印加することができるタイプのプラズマCVD装置を用いる。また、これらの第2、第3および第4の発明において、具体的には、第2の絶縁膜を高密度プラズマ化学気相成長法により形成する。

【0043】上述のように構成されたこの発明の第1の発明による半導体装置の製造方法によれば、半導体基板

に形成された溝の近傍の領域に不純物を導入していることにより、半導体基板における溝の近傍の領域を覆うようにして溝素子分離領域用の絶縁膜が形成された場合であっても、しきい値電圧調整用の不純物の導入後における半導体基板表面の不純物濃度をほぼ均一化することができる。

【0044】また、この発明の第2の発明による半導体装置の製造方法によれば、半導体基板上の第1の絶縁膜の開口を溝の領域より大きくし、この溝の内部および開口の内部に絶縁膜を埋め込んだ後、イオン注入を行っていることにより、半導体基板における溝の近傍の領域に不純物を導入することができるので、しきい値電圧調整用の不純物の導入後における半導体基板表面の不純物濃度をほぼ均一に保つことができる。

【0045】また、この発明の第3の発明による半導体装置の製造方法によれば、第1の絶縁膜を除去した後、斜め方向から半導体基板に不純物をイオン注入していることにより、溝の領域を覆うようにして絶縁膜が形成されている場合においても、絶縁膜に覆われた半導体基板における溝の近傍の領域に不純物を導入することができるので、しきい値電圧調整用の不純物の導入後における半導体基板表面の不純物濃度をほぼ均一に保つことができる。

【0046】また、この発明の第4の発明による半導体装置の製造方法によれば、第1の絶縁膜に形成された開口を溝の領域より大きくした後、溝の内部にイオン注入のストッパーを形成し、第1の絶縁膜とストッパーとをマスクとして不純物のイオン注入を行っていることにより、半導体基板における溝の近傍の領域に選択的に不純物を導入することができるので、しきい値電圧調整用の不純物の導入後における半導体基板表面の不純物濃度をほぼ均一に保つことができる。

【0047】

【発明の実施の形態】以下、この発明の実施形態について図面を参照しながら説明する。なお、以下の実施形態の全図においては、同一または対応する部分には同一の符号を付す。

【0048】まず、この発明の第1の実施形態による半導体装置の製造方法について説明する。図1～図4はこの第1の実施形態による半導体装置の製造方法を示す。

【0049】この第1の実施形態による半導体装置の製造方法においては、図1Aに示すように、まず、Si基板1上に、熱酸化法により例えばSiO₂膜からなるパッド酸化膜2を形成する。次に、例えば減圧CVD法によりパッド酸化膜2上にSiN膜3を形成する。ここで、このSiN膜3の形成におけるCVD条件の一例を挙げると、減圧CVD装置を用い、反応ガスとしてジクロルシラン(SiH₂Cl₂)ガス、アンモニア(NH₃)ガスおよび窒素(N₂)ガスの混合ガスを用い、それらの流量をそれぞれ50sccm、200sccmお

よび200 sccmとし、圧力を70 Pa、基板加熱温度を760℃とする。

【0050】次に、SiN膜3上に、例えばリソグラフィ工程により素子分離領域の形成領域に開口を有するレジストパターン（図示せず）を形成する。次に、このレジストパターンをマスクとして、例えば平行平板プラズマエッチング装置を用いたドライエッチング法により、SiN膜3およびパッド酸化膜2を順次エッチングする。これにより、SiN膜3およびパッド酸化膜2の部分に開口4が形成される。ここで、このエッチング条件の一例を挙げると、エッチングガスとして、4フッ化炭素（CF₄）ガスとアルゴン（Ar）ガスとの混合ガスを用い、それらの流量をそれぞれ75 sccmおよび25 sccmとし、圧力を5.3 Pa、RFパワーを60 Wとする。その後、レジストパターンを除去する。

【0051】次に、例えば高密度プラズマエッチング装置を用い、SiN膜3をマスクとしてSi基板1をエッチングすることにより、Si基板1の部分にトレンチ5を形成する。ここで、このエッチング条件の一例を挙げると、エッチングガスとしてCl₂ガスとO₂ガスとの混合ガスを用い、それらの流量をそれぞれ60 sccmおよび10 sccmとし、圧力を1.3 Pa、マイクロ波電力を850 W、RF電力を150 Wとする。

【0052】次に、熱酸化法によりトレンチ5の底面および側面にSiO₂膜6を形成する。このSiO₂膜6の膜厚は例えば20 nmである。また、熱酸化における加熱温度は例えば1000℃とする。

【0053】次に、図1Bに示すように、例えばプラズマエッチング法などのケミカルドライエッチング法により、SiN膜3を等方的にエッチングする。これにより、SiN膜3はその端部からエッチングされ、トレンチ5の外側に向けて後退する。ここで、このSiN膜3におけるエッチング条件の一例を挙げると、プラズマエッチング装置を用い、エッチングガスとしてCF₄ガスとO₂ガスとの混合ガスを用い、それらの流量をそれぞれ60 sccmおよび240 sccmとし、圧力を30 Pa、パワーを400 W、基板温度を15℃とする。

【0054】次に、図2Aに示すように、例えば高密度プラズマ化学気相成長（High Density Plasma Chemical Vapor Deposition、HDP-CVD）法により、トレンチ5の内部に埋め込むようにしてSi基板1上にSiO₂膜7を形成する。ここで、このSiO₂膜7の形成におけるCVD条件の一例を挙げると、反応ガスとしてシラン（SiH₄）ガス、O₂ガスおよびArガスの混合ガスを用い、それらの流量をそれぞれ300 sccm、700 sccmおよび300 sccmとし、圧力を0.1 Pa、マイクロ波電力を3000 W、RF電力を2000 Wとする。このHDP-CVD法によるSiO₂膜7の形成においては、従来のコンフォーマルなCVD法とは異なり、トレンチ5の縁の端部から斜めに成膜

されるため、トレンチの端部の膜厚が小さく、中央は大きくなる。

【0055】次に、製造される半導体装置におけるしきい値電圧を調整するためのイオン注入を行う。このとき、上述したように、トレンチ5の縁の上部近傍におけるSi基板1上のSiO₂膜7は薄いため、トレンチ5の縁の上部近傍におけるSi基板1の部分に選択的に拡散層8が形成される。ここで、このイオン注入においては、nチャネルMOSトランジスタを製造する場合でSiN膜3の膜厚が例えば150 nmであるときには、p型不純物として例えばホウ素（BF₂⁺）を用い、ドーズ量を2×10¹²/cm²、注入エネルギーを60 keVとする。

【0056】次に、図2Bに示すように、例えばCMP法によりSiN膜3を研磨ストッパーとしてSiO₂膜7を研磨することにより、SiN膜3上のSiO₂膜7を除去する。ここで、このCMP条件の一例を挙げると、研磨液としてシリカ粒子（14 wt%）と水酸化カリウム（KOH）水溶液との混合溶液を用い、研磨プレートの回転数を20 rpm、Si基板1を保持する試料台の回転数を20 rpm、研磨圧力を500 gf/cm²とする。

【0057】次に、図3Aに示すように、ホット燐酸（H₃PO₄）を用いたウェットエッチング法により、SiN膜3を選択的にエッチングすることにより除去する。

【0058】次に、図3Bに示すように、例えばフッ酸（HF）を用いたウェットエッチング法によりパッド酸化膜2を除去した後、例えば熱酸化法によりSi基板表面に犠牲酸化膜9を形成する。その後、この段階において、リソグラフィ工程、イオン注入およびアッシング工程を順次繰り返し行うことにより、n型ウェル領域、p型ウェル領域、チャネルストップ領域などの拡散層10を形成する。また、トランジスタにおけるしきい値電圧調整用のイオン注入を行う。

【0059】次に、図4Aに示すように、HFを用いたウェットエッチング法により犠牲酸化膜9を除去した後、例えば熱酸化法によりSi基板1表面にゲート酸化膜11を形成する。

【0060】次に、図4Bに示すように、例えば減圧CVD法により、Si基板1上にゲート酸化膜11を介して、不純物がドーパされた多結晶Si膜12およびケイ化タングステン（WSi）膜13を順次形成する。ここで、多結晶Si膜12の形成におけるCVD条件の一例を挙げると、減圧CVD装置において、反応ガスとしてSiH₄ガス、HeガスおよびN₂ガスの混合ガスを用い、それらの流量をそれぞれ100 sccm、400 sccmおよび200 sccmとし、圧力を70 Pa、基板加熱温度を610℃とする。また、WSi膜13の形成におけるCVD条件の一例を挙げると、減圧CVD装

置において、反応ガスとして、6フッ化タングステン (WF_6) ガス、 SiH_2Cl_2 ガスおよびArガスの混合ガスを用い、それらの流量をそれぞれ2.5 sccm、150 sccmおよび100 sccmとし、圧力を40 Pa、基板加熱温度を680℃とする。

【0061】次に、リソグラフィ工程によりWSi膜13上にゲート電極形状のレジストパターン (図示せず) を形成した後、このレジストパターンをマスクとして、例えば電子サイクロトロン共鳴 (ECR) プラズマエッチング法などのドライエッチング法により、WSi膜13および多結晶Si膜12を順次エッチングする。ここで、WSi膜13のエッチング条件の一例を挙げると、ECRプラズマエッチング装置において、エッチングガスとして O_2 ガスと Cl_2 ガスとの混合ガスを用い、それらの流量をそれぞれ10 sccmおよび200 sccmとし、TCP (Torocoidal Coupled Plasma) パワーを150 W、バイアスパワーを250 W、圧力を6 mTorrとする。また、多結晶Si膜12のエッチング条件の一例を挙げると、エッチングガスとして O_2 ガス、臭化水素 (HBr) ガスおよび Cl_2 ガスの混合ガスを用い、これらの流量をそれぞれ4 sccm、120 sccmおよび80 sccmとし、TCPパワーを300 W、バイアスパワーを100 W、圧力を6 mTorrとする。また、WSi膜13および多結晶Si膜12のエッチングに続いて行われるオーバーエッチングにおけるエッチング条件の一例を挙げると、エッチングガスとして、 O_2 ガス、HeガスおよびHBrガスの混合ガスを用い、それらの流量をそれぞれ1 sccm、100 sccmおよび100 sccmとし、TCPパワーを200 W、バイアスパワーを250 W、圧力を60 mTorrとする。これらの成膜工程、リソグラフィ工程およびエッチング工程により、ポリサイド構造のゲート電極Gが形成される。

【0062】その後、従来公知の方法による工程を経て、所望のトランジスタを有する半導体装置が製造される。

【0063】以上説明したように、この第1の実施形態によれば、Si基板1に溝素子分離領域を形成するためのトレンチ5を形成し、SiN膜3をトレンチ5の外側に向けて後退するようにエッチングし、HDP-CVD法によりトレンチ5を埋め込むように SiO_2 膜7を形成し、この SiO_2 膜7のうちの比較的薄い部分を介してSi基板1に不純物をイオン注入していることにより、トレンチ5の縁の上部近傍のSi基板1の部分に選択的に不純物をイオン注入することができる。そのため、溝素子分離領域の形成の際、比較的低エネルギーで行われるしきい値電圧調整用のイオン注入を行った場合に、溝素子分離領域の縁の上部近傍における不純物濃度を、この縁の上部近傍以外の部分における不純物濃度とほぼ同じにすることができる。したがって、製造される

トランジスタなどの特性を向上させることができ、所望の特性を有するトランジスタを製造することができる。

【0064】次に、この発明の第2の実施形態による半導体装置の製造方法について説明する。図5、図6はこの第2の実施形態による半導体装置の製造方法を示す。

【0065】この第2の実施形態における半導体装置の製造方法においては、図5Aに示すように、まず、第1の実施形態と同様にして、Si基板1上に熱酸化法によりパッド酸化膜 (図5中、図示せず) を形成する。次に、例えば減圧CVD法によりパッド酸化膜上にSiN膜 (図5中、図示せず) を形成する。このSiN膜の形成におけるCVD条件の一例を挙げると、減圧CVD装置において、反応ガスとして SiH_2Cl_2 ガス、 NH_3 ガスおよび N_2 ガスの混合ガスを用い、それらの流量をそれぞれ50 sccm、200 sccmおよび200 sccmとし、圧力を70 Pa、基板加熱温度を760℃とする。

【0066】次に、SiN膜上に、例えばリソグラフィ工程により素子分離領域の形成領域に開口を有するレジストパターン (図示せず) を形成する。次に、このレジストパターンをマスクとして、例えば平行平板プラズマエッチング装置を用いたドライエッチング法により、SiN膜およびパッド酸化膜を順次エッチングする。これにより、SiN膜およびパッド酸化膜の部分に開口 (図5中、図示せず) が形成される。ここで、このエッチング条件の一例を挙げると、エッチングガスとして、 CF_4 ガスとArガスとの混合ガスを用い、それらの流量をそれぞれ75 sccmおよび25 sccmとし、圧力を5.3 Pa、RFパワーを600 Wとする。その後、レジストパターンを除去する。

【0067】次に、例えば高密度プラズマエッチング装置を用い、SiN膜をマスクとしてSi基板1をエッチングすることにより、Si基板1の部分にトレンチ5を形成する。ここで、このエッチング条件の一例を挙げると、エッチングガスとして Cl_2 ガスと O_2 ガスとの混合ガスを用い、それらの流量をそれぞれ60 sccm、10 sccmとし、圧力を1.3 Pa、マイクロ波電力を850 W、RF電力を150 Wとする。

【0068】次に、熱酸化法によりトレンチ5の底面および側面に SiO_2 膜6を形成する。この SiO_2 膜6の膜厚は例えば20 nmである。また、熱酸化における加熱温度は例えば1000℃である。

【0069】次に、例えばプラズマエッチング法などのケミカルドライエッチング法により、SiN膜を等方的にエッチングする。これにより、SiN膜はその端部からエッチングされ、トレンチ5の外側に向けて後退する。ここで、このSiN膜におけるエッチング条件の一例を挙げると、プラズマエッチング装置を用い、エッチングガスとして CF_4 ガスと O_2 ガスとの混合ガスを用い、それらの流量をそれぞれ60 sccm、240 sccmとし、圧力を1.3 Pa、RF電力を150 Wとする。

cmとし、圧力を30Pa、パワーを400W、基板温度を15℃とする。

【0070】次に、例えばHDP-CVD法により、トレンチ5の内部に埋め込むようにしてSi基板1上にSiO₂膜7を形成する。ここで、このSiO₂膜7の形成におけるCVD条件の一例を挙げると、反応ガスとしてSiH₄ガス、O₂ガスおよびArガスの混合ガスを用い、それらの流量をそれぞれ300sccm、700sccmおよび300sccmとし、圧力を0.1Pa、マイクロ波電力を3000W、RF電力を2000Wとする。

【0071】次に、例えばCMP法によりSiN膜を研磨ストッパーとしてSiO₂膜7を研磨することにより、SiN膜上のSiO₂膜7を除去する。ここで、このCMP条件の一例を挙げると、研磨液としてシリカ粒子(14wt%)と水酸化カリウム(KOH)水溶液との混合溶液を用い、研磨プレートの回転数を20rpm、Si基板1を保持する試料台の回転数を20rpm、研磨圧力を500gf/cm²とする。

【0072】次に、ホット磷酸(H₃PO₄)を用いたウェットエッチング法により、SiN膜を選択的にエッチングすることにより除去する。

【0073】次に、例えばフッ酸(HF)を用いたウェットエッチング法によりパッド酸化膜を除去した後、例えば熱酸化法によりSi基板表面に犠牲酸化膜9を形成する。その後、この段階において、リソグラフィ工程、イオン注入およびアッシング工程を順次繰り返すことにより、n型ウェル領域、p型ウェル領域、チャネルストップ領域などの拡散層10を形成する。

【0074】また、このとき、製造されるトランジスタのしきい値電圧を調整するためのイオン注入も行われる。このしきい値電圧調整用のイオン注入においては、図5Bに示すように、Si基板1表面に対して斜め方向から不純物をイオン注入し、この第2の実施形態においては、Si基板1表面に対して30°～50°の角度をなす方向、例えば45°の角度をなす方向から不純物をイオン注入する。なお、このイオン注入角度においてはSi基板1表面と平行な方向の角度を0°とする。これによって、トレンチ5の縁の上部近傍のSi基板1の部分に拡散層8aが形成される。

【0075】次に、図6Aに示すように、Si基板1表面に対するイオン注入角度を45°に維持しつつ、Si基板1の中心点に対して例えば90°回転させ、上述と同様にして不純物をイオン注入する。これによって、他方のトレンチ5の縁の上部近傍におけるSi基板1の部分に拡散層8bが形成される。そして、この斜めイオン注入を4回繰り返す。これにより、トレンチ5の縁の上部近傍のSi基板1の部分における全ての部分に拡散層8が形成される。

【0076】次に、図6Bに示すように、HFを用いた

ウェットエッチング法により犠牲酸化膜9を除去した後、例えば熱酸化法によりSi基板1表面にゲート酸化膜11を形成する。

【0077】その後、第1の実施形態と同様にして、成膜工程、リソグラフィ工程およびエッチング工程により、ポリサイド構造のゲート電極を形成する。その後、従来公知の方法による工程を経て、所望のトランジスタを有する半導体装置が製造される。

【0078】この第2の実施形態によれば、SiN膜を除去した後、しきい値電圧調整用のイオン注入を、斜め方向からSi基板1のトレンチ5の上部近傍のSi基板1の部分に不純物を導入することができるので、第1の実施形態と同様の効果を得ることができる。

【0079】次に、この発明の第3の実施形態による半導体装置の製造方法について説明する。図7、図8にこの第3の実施形態による半導体装置の製造方法を示す。

【0080】この第3の実施形態による半導体装置の製造方法においては、図7Aに示すように、まず、第1の実施形態と同様にして、Si基板1上に、熱酸化法により例えばSiO₂膜からなるパッド酸化膜2を形成する。次に、例えば減圧CVD法によりパッド酸化膜2上にSiN膜3を形成する。ここで、このSiN膜3の形成におけるCVD条件の一例を挙げると、減圧CVD装置を用い、反応ガスとしてSiH₂Cl₂ガス、NH₃ガスおよびN₂ガスの混合ガスを用い、それらの流量をそれぞれ50sccm、200sccmおよび200sccmとし、圧力を70Pa、基板加熱温度を760℃とする。

【0081】次に、SiN膜3上に、例えばリソグラフィ工程により素子分離領域の形成領域に開口を有するレジストパターン(図示せず)を形成する。次に、このレジストパターンをマスクとして、例えば平行平板プラズマエッチング装置を用いたドライエッチング法により、SiN膜3およびパッド酸化膜2を順次エッチングする。これにより、SiN膜3およびパッド酸化膜2の部分に開口が形成される。ここで、このエッチング条件の一例を挙げると、エッチングガスとして、CF₄ガスとArガスとの混合ガスを用い、それらの流量をそれぞれ75sccmおよび25sccmとし、圧力を5.3Pa、RFパワーを600Wとする。その後、レジストパターンを除去する。

【0082】次に、SiN膜3をマスクとして、例えば高密度プラズマエッチング装置を用いSi基板1をエッチングすることにより、Si基板1の部分にトレンチ5を形成する。ここで、このエッチング条件の一例を挙げると、エッチングガスとしてCl₂ガスとO₂ガスとの混合ガスを用い、それらの流量をそれぞれ60sccmおよび10sccmとし、圧力を1.3Pa、マイクロ波電力を850W、RF電力を150Wとする。

【0083】次に、熱酸化法によりトレンチ5の底面および側面にSiO₂膜6を形成する。このSiO₂膜6の膜厚は例えば20nmである。また、熱酸化における加熱温度を例えば1000℃とする。

【0084】次に、例えばプラズマエッチング法などのケミカルドライエッチング法により、SiN膜3を等方的にエッチングする。これにより、SiN膜3はその端部からエッチングされ、トレンチ5の外側に向けて後退する。ここで、このSiN膜3におけるエッチング条件の一例を挙げると、プラズマエッチング装置を用い、エッチングガスとしてCF₄ガスとO₂ガスとの混合ガスを用い、それらの流量をそれぞれ60sccmおよび240sccmとし、圧力を30Pa、パワーを400W、基板温度を15℃とする。

【0085】次に、図7Bに示すように、トレンチ5を埋め込むようにして、Si基板1上の全面に塗布膜21を塗布する。この塗布膜の材料としてはSiO₂およびSiNに対して選択的に除去可能な材料が選択され、この第3の実施形態においては例えばレジストが用いられる。その後、例えば平行平板プラズマエッチング装置を用いて塗布膜21の全面エッチバックを行う。ここで、この塗布膜21の全面エッチバックにおけるエッチング条件の一例を挙げると、エッチングガスとしてO₂ガス、S₂Cl₂ガスおよびN₂ガスの混合ガスを用い、それらの流量をそれぞれ30sccm、10sccmおよび10sccmとし、圧力を40Pa、RFパワーを1000W、周波数を380MHz、基板温度を0℃とする。これによって、トレンチ5の内部に塗布膜21が残される。

【0086】次に、製造される半導体装置におけるしきい値電圧を調整するためのイオン注入を行う。すなわち、SiN膜3および塗布膜21をマスクとして、不純物をイオン注入する。これによって、Si基板1におけるトレンチ5の縁の上部近傍のSi基板1の部分に選択的に不純物がイオン注入され、拡散層8が形成される。ここで、このイオン注入においては、nチャネルMOSトランジスタを製造する場合でSiN膜3の膜厚が例えば150nmであるときには、p型不純物として例えばホウ素を用い、ドーズ量を $2 \times 10^{12}/\text{cm}^2$ 、注入エネルギーを60keVとする。

【0087】次に、図8Aに示すように、O₂プラズマアッシングおよび硫酸過水を用いて、塗布膜21を除去する。次に、例えばHDP-CVD法により、トレンチ5の内部に埋め込むようにしてSi基板1上にSiO₂膜7を形成する。ここで、このSiO₂膜7の形成におけるCVD条件の一例を挙げると、反応ガスとしてSiH₄ガス、O₂ガスおよびArガスの混合ガスを用い、それらの流量をそれぞれ300sccm、700sccmおよび300sccmとし、圧力を0.1Pa、マイクロ波電力を3000W、RF電力を2000Wとす

る。

【0088】次に、例えばCMP法によりSiN膜3を研磨ストッパーとしてSiO₂膜7を研磨することにより、SiN膜3上のSiO₂膜7を除去する。ここで、このCMP条件の一例を挙げると、研磨液としてシリカ粒子(14wt%)と水酸化カリウム(KOH)水溶液との混合溶液を用い、研磨プレートの回転数を20rpm、Si基板1を保持する試料台の回転数を20rpm、研磨圧力を500gf/cm²とする。

【0089】次に、H₃PO₄を用いたウェットエッチング法により、SiN膜3を選択的にエッチングすることにより除去する。

【0090】次に、例えばHFを用いたウェットエッチング法によりパッド酸化膜2を除去した後、例えば熱酸化法によりSi基板1表面に犠牲酸化膜9を形成する。その後、この段階において、リソグラフィ工程、イオン注入およびアッシング工程を順次繰り返すことにより、n型ウェル領域、p型ウェル領域、チャネルストップ領域などの拡散層10を形成する。また、トランジスタにおけるしきい値電圧調整用のイオン注入を行う。

【0091】次に、図8Bに示すように、HFを用いたウェットエッチング法により犠牲酸化膜9を除去した後、例えば熱酸化法によりSi基板1表面にゲート酸化膜11を形成する。

【0092】次に、Si基板1上にゲート酸化膜11を介して、不純物がドーブされた多結晶Si膜およびWSi膜を順次成膜した後、リソグラフィ工程およびエッチング工程を経て、ポリサイド構造のゲート電極が形成される。その後、従来公知の方法による工程を経て、所望のトランジスタを有する半導体装置が製造される。

【0093】この第3の実施形態による半導体装置の製造方法によれば、Si基板1上のSiN膜3をそのトレンチ5の外側に向けて後退させた後、トレンチ5の内部に、レジストから塗布膜21などのSiNやSiO₂に対して選択的に除去可能な膜とSiN膜3とをマスクとして、Si基板1に対して、しきい値電圧調整用のイオン注入を行っていることにより、トレンチ5の縁の上部近傍のSi基板1の部分に選択的に不純物をイオン注入することができるので、第1の実施形態と同様の効果を得ることができる。

【0094】以上、この発明の実施形態について具体的に説明したが、この発明は、上述の実施形態に限定されるものではなく、この発明の技術的思想に基づく各種の変形が可能である。

【0095】例えば、上述の実施形態において挙げた数値はあくまでも例に過ぎず、必要に応じてこれと異なる数値を用いてもよい。

【0096】また、例えば上述の第1の実施形態においては、トレンチ5を形成する際に、Si基板1のエッチングを、レジストパターンを除去した後SiN膜3をマ

スクとして行っているが、レジストパターンを除去せずにレジストパターンとSiN膜3とをマスクとして、Si基板1をエッチングすることにより、トレンチ5を形成するようにしてもよい。

【0097】また、例えば上述の第1、第2および第3の実施形態においては、開口4を形成した後、SiN膜3をマスクとしてトレンチ5を形成する方法を採用しているが、開口4を形成した後、この開口4の内壁にSiO₂からなるサイドウォールを形成し、SiN膜3とこのサイドウォールとをマスクとしてトレンチ5を形成するようにしてもよい。この方法を採用することにより、開口4の形成の際に用いるレジストパターンの解像度限界より微細なトレンチを形成することができる。また、このとき、トレンチ5の形成後にサイドウォールを選択的に除去することによって、図1Bや図7Aに示す形状を得ることができる。

【0098】

【発明の効果】以上説明したように、この発明による半導体装置の製造方法によれば、半導体基板に形成された溝の近傍の領域における半導体基板の部分に不純物を導入していることにより、しきい値電圧調整用の不純物を導入した後における半導体基板表面の不純物濃度をほぼ均一に保つことができるので、所望の特性を有する半導体装置を製造することができ、製造される半導体装置の特性、およびその信頼性を向上させることができる。

【図面の簡単な説明】

【図1】この発明の第1の実施形態による半導体装置の製造方法を説明するための断面図である。

【図2】この発明の第1の実施形態による半導体装置の製造方法を説明するための断面図である。

【図3】この発明の第1の実施形態による半導体装置の

製造方法を説明するための断面図である。

【図4】この発明の第1の実施形態による半導体装置の製造方法を説明するための断面図である。

【図5】この発明の第2の実施形態による半導体装置の製造方法を説明するための断面図である。

【図6】この発明の第2の実施形態による半導体装置の製造方法を説明するための断面図である。

【図7】この発明の第3の実施形態による半導体装置の製造方法を説明するための断面図である。

【図8】この発明の第3の実施形態による半導体装置の製造方法を説明するための断面図である。

【図9】従来技術による溝素子分離領域の形成方法を説明するための断面図である。

【図10】従来技術による溝素子分離領域の形成方法を説明するための断面図である。

【図11】従来技術による溝素子分離領域の形成方法における問題点を説明するための断面図である。

【図12】従来技術による溝素子分離領域の形成方法を説明するための断面図である。

【図13】従来技術による溝素子分離領域の形成方法を説明するための断面図である。

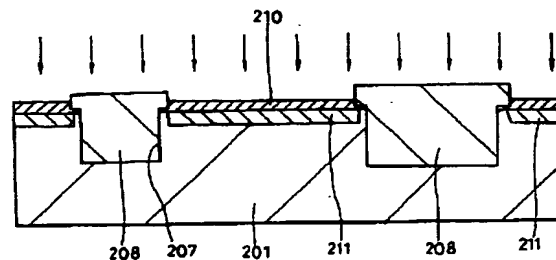
【図14】従来技術による溝素子分離領域の形成方法を説明するための断面図である。

【図15】従来技術による溝素子分離領域の形成方法における問題点を説明するための断面図である。

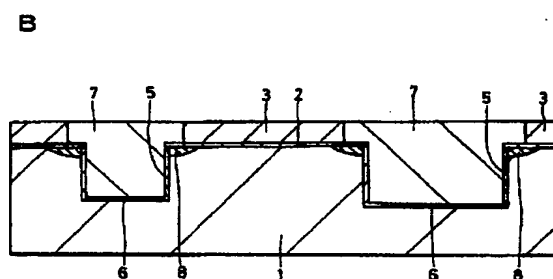
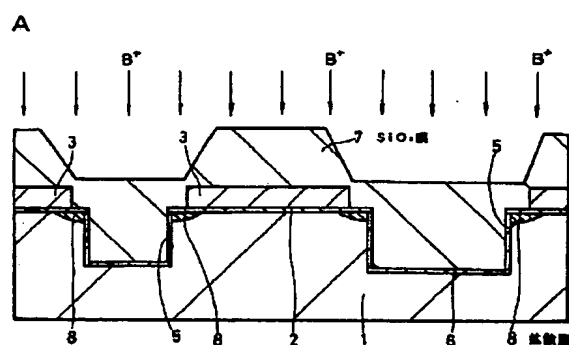
【符号の説明】

1・・・Si基板、2・・・パッド酸化膜、3・・・SiN膜、5・・・トレンチ、6、7・・・SiO₂膜、8、8a、8b、10・・・拡散層、G・・・ゲート電極

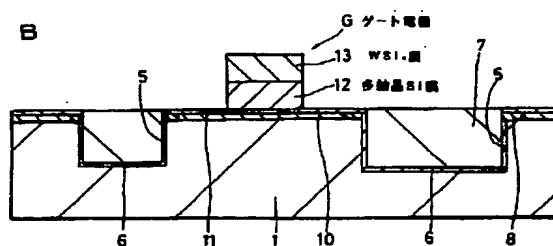
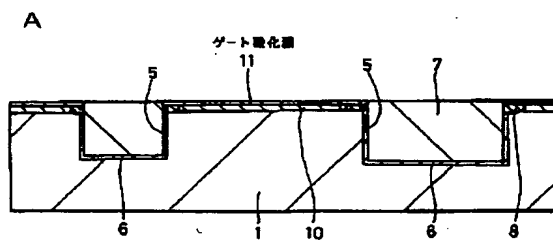
【図15】



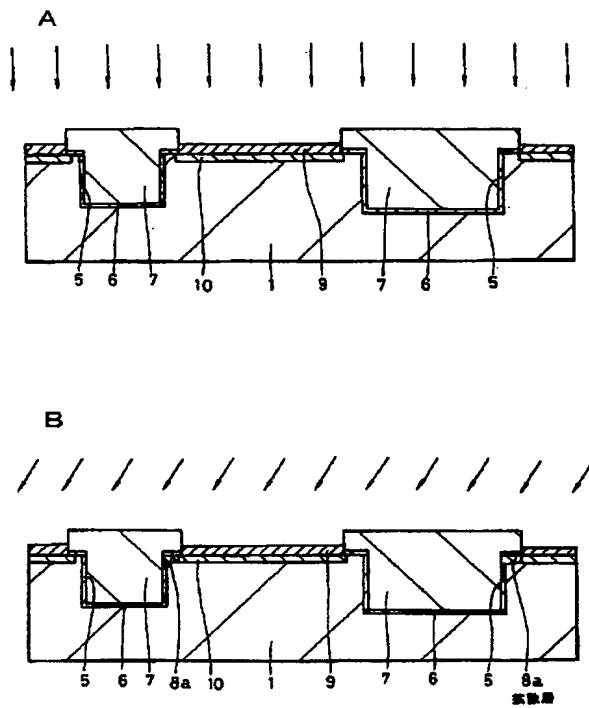
【圖 2】



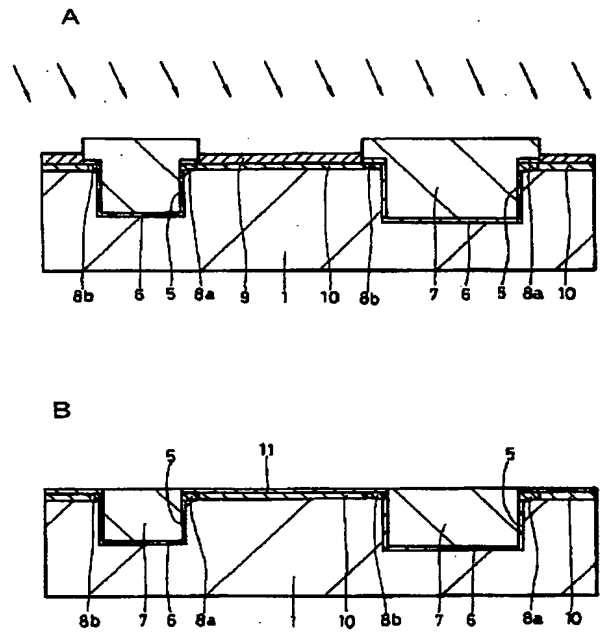
【図4】



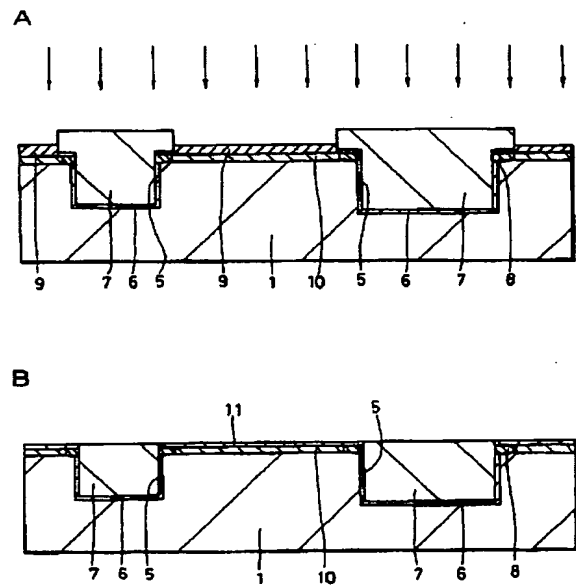
【図5】



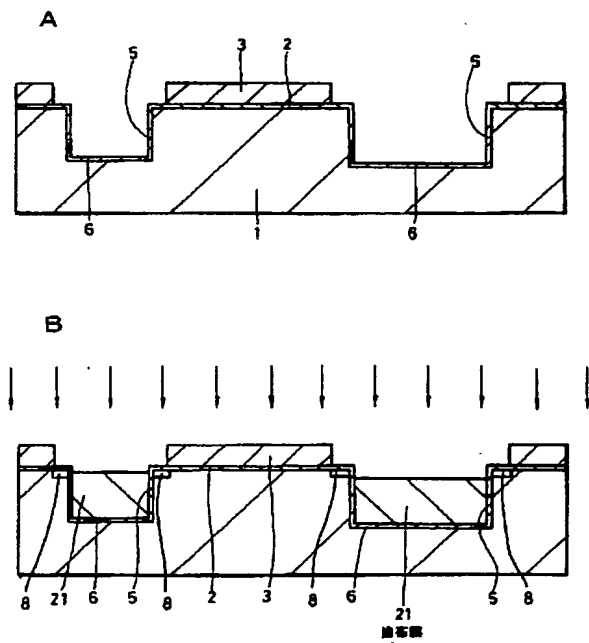
【図6】



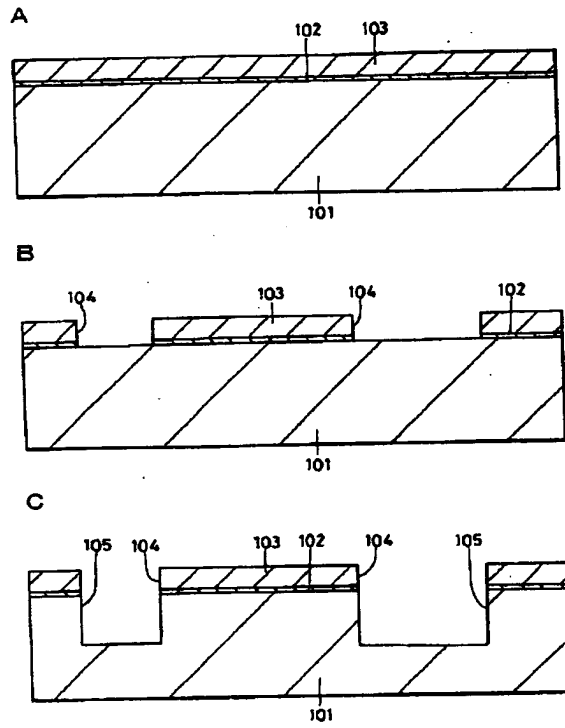
【図8】



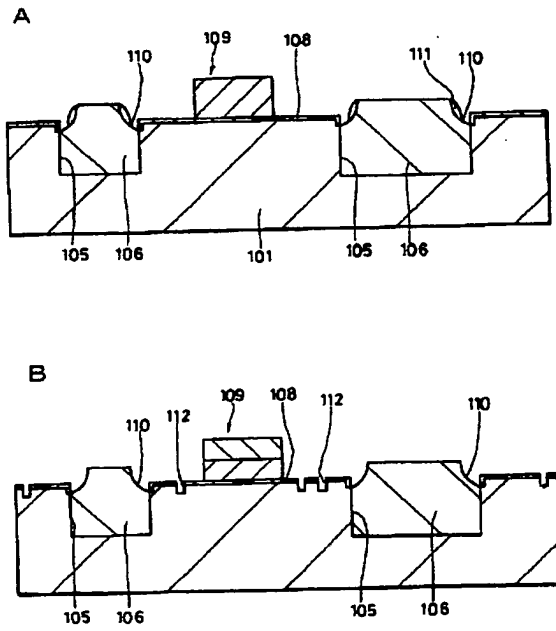
【図7】



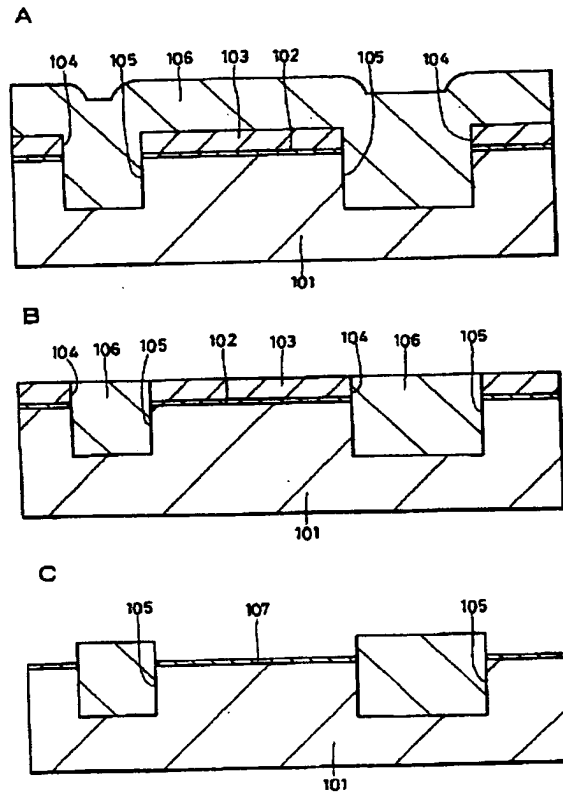
【図9】



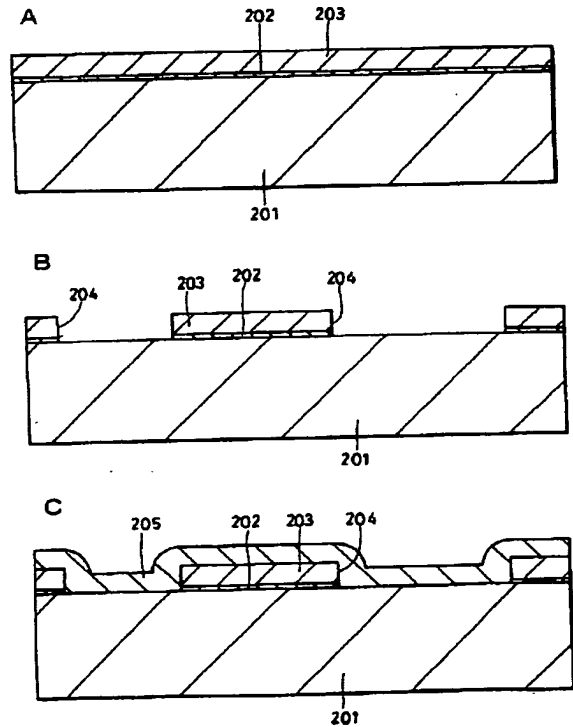
【図11】



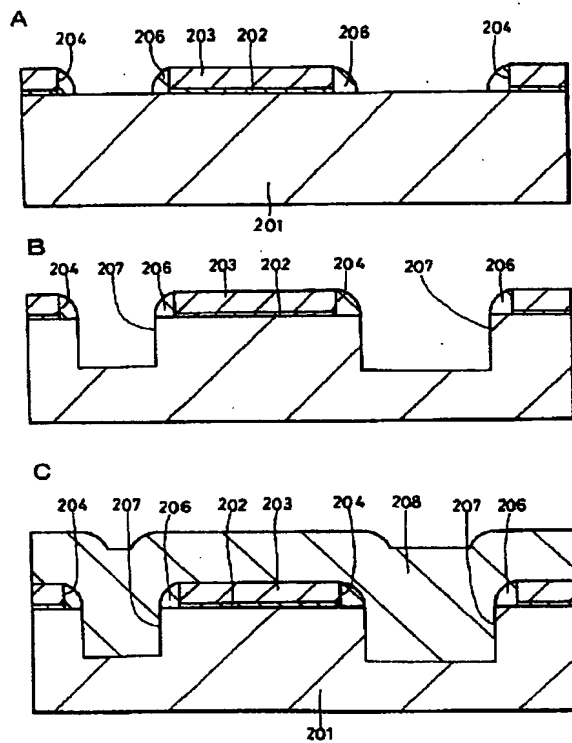
【図10】



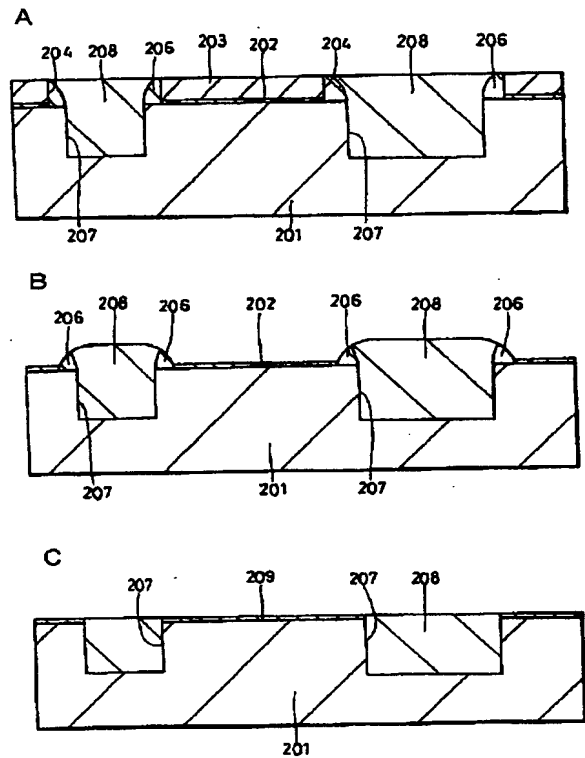
【図12】



【図13】



【図14】



フロントページの続き

Fターム(参考) 5F032 AA34 AA44 AA45 AC01 BA02
 CA17 DA03 DA04 DA23 DA24
 DA25 DA26 DA33 DA43 DA53
 DA77 DA78
 5F058 BA02 BD04 BD10 BF04 BF07
 BF23 BF24 BF30 BF37 BF39
 BH11 BJ01 BJ06